

目标：5 美分标签

Sanjay Sarma

摘要

RFID系统由解读器（也叫作询问器）和标签（也叫作无线电发射机应答器）组成。这本书介绍RFID标签, 明确的说, 我们介绍基于IC的（基于集成电路的），被动的，带有64位只读存储器的包装好的RF标签。目前，标签的成本在50美分以上，但是低成本RF标签需求量巨大。5美分标签这个规定目标，以目前的方法在理论上是难以实现的。这本书的目的是介绍RFID标签的组成，并解释如何把系统成本降低到5美分。

RFID标签本身是复杂的系统，因此最佳RFID标签的设计需要集成电路设计，天线设计，生产工艺工程和纸工程之间的精密协调。这是一种精密的系统分层方法，与我们在此描述的新技术和新方法相结合，这种方法可以实现低成本RFID系统。如果仅以当前的技术简单的增大体积，低成本RFID标签是无法实现的。

这里的描述有推测性。首先，RFID的研究和发展是Auto-ID中心与其赞助商公司正在进行的一项活动。所以对于任何研究活动，我们可以对其可能性作一些经验性的猜测，并以工程推理作为支持，但我们还没有实现这个目标。其次，一些技术是机密的，我们不能详细描述他们。然而，我们希望表达我们的关键想法——我们相信一定会做出第一个5美分标签。

Sanjay Sarma在印地安那理工学院获得学士学位，在卡耐基迈隆大学获得硕士学位，在加州大学伯克利分校获得博士学位。在获得学位期间，它在英国阿伯丁的Schlumberger Oilfield服务和加利福尼亚伯克利的Lawrence Berkeley实验室工作。Sarma博士的硕士学位论文是关于运筹学领域，博士学位论文研究的是生产自动化领域。从1995年到1999年，Sarma博士是麻省理工学院机械工程系的一个助理教授。他现在是一个副教授。

目标: 5 美分标签	1
1. 绪论	3
2. 一个 RF 标签的剖析	3
3. 系统	4
3.1. 芯片上的存储器	5
3.2 芯片上的逻辑	5
3.3. 电源电路	6
3. 4. 总结	6
4. 集成电路制造	6
4.1. 集成电路的制造	6
4.1.1. 准备晶片	6
4.1.2. 晶片的制造	6
4.1.3. 包装	7
4. 2. 成本多少决定模块的尺寸	8
5. 低成本 RFID	9
5. 1. 模块测试	9
5. 2. 窄切缝和薄晶片	10
5. 3. 模块的组装和连接	10
5. 3. 1. 流体组装	11
5. 3. 2. 拾置组装	11
5. 3. 3. 振动组装	11
5. 3. 4. 晶片上的处理	11
5. 4. 天线的制造和安装	12
5. 5. 结论	13
6. 缩放比例问题 (此处翻译有可能不对)	13
7. 结论	15
8. 鸣谢	15

1. 绪论

RFID系统由解读器（也叫作询问器）和标签（也叫作无线电发射机应答器）组成。我们这篇文章主要介绍RFID标签。明确的说，我们介绍基于IC的（基于集成电路），被动的，带有64位只读存储器的包装好的RF标签。目前，标签的成本在50美分以上，但是低成本RF标签需求量巨大。5美分标签这个规定目标，以目前的方法在理论上是难以实现的。这篇文章的目的是介绍RFID标签的组成，并解释如何把系统成本降低到5美分。

RFID标签本身是复杂的系统，因此最佳RFID标签的设计需要集成电路设计，天线设计，生产工艺工程和纸工程之间的精密协调。这是一种精密的系统分层方法，与我们在此描述的新技术和新方法相结合，这种方法可以实现低成本RFID系统。以当前的技术简单地增大体积，低成本RFID标签是无法实现的。

这里的描述有推测性。首先，RFID的研究和发展是自动识别中心与其赞助公司正在进行的一项活动。所以对于任何研究活动，我们可以对其可能性作一些经验性的猜测，并以工程推理作为支持。但是，我们还没有实现这个目标。其次，一些技术是机密的。因此我们不能详细描述他们。然而，我们希望表达我们的关键想法——我们相信第一个5美分标签一定会实现。

2. 一个 RF 标签的剖析

一个基于集成电路的RF标签由4部分组成：

1. 集成电路
2. 天线
3. 集成电路和天线的连接部分
4. 安装天线的基底

在供应链的应用中，标签通常固定在一个包装或一个容器上

一个RFID标签的示意图如下所示

Figure 1: Courtesy Rafsec OY
(OY means Co. in Finnish)

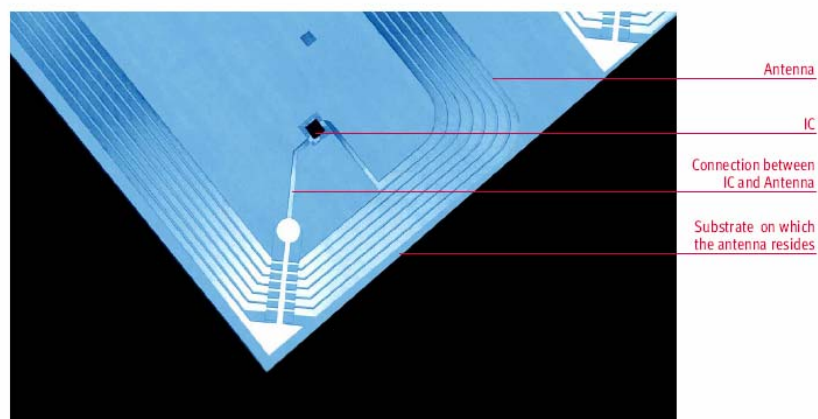
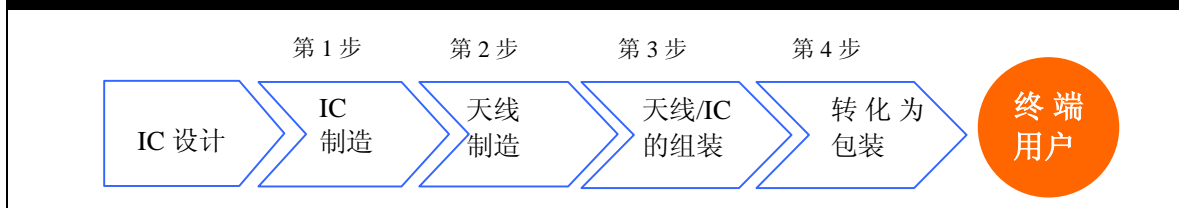


图1：Courtesy Rafsec OY（OY 在芬兰语中表示公司）

图2：标签厂商

RFID标签制造流程



设计完IC之后，RFID标签的制造有4个步骤，如上所示。

第一个步骤是集成电路的制造，或IC。

第二个步骤是天线的制造，天线是做成一个特殊外形的导电元件

第三个步骤是IC和天线的组装。事实上此步骤有两个子步骤：

a) IC安装在一个与天线有关的特定位置上，

b) IC上的电气触点与天线末端的连接。

第四个步骤是带集成电路的天线的转变，首先转换为底层，然后是包装。

每个步骤都是一个挑战，并且所有步骤的成本之和必须少于5美分。每个步骤的成本预算在1美分以内(Lindstrom 2000)。很明显这是一个富有挑战性的任务。现在，IC的成本在20美分，天线，装配和预转变每个要花费5美分，转变的花费通常高于10美分。

这些成本预算对RFID技术的每个组成部分有深刻的含义。我们来看IC制造业，一块200毫米晶片的成本在1,000 美元以内。每平方毫米的成品硅，加上单个芯片之间连接的费用，大约是4美分。一个1—2美分的预算告诉我们，IC的硅芯片的大小必须在0.25平方毫米之内，或边长是0.5毫米。然而这个尺寸的芯片用常规的IC制造技术是很难处理的。这样的挑战使RFID行业在过去的几年感到困惑。只有在更大的系统中寻求和采用合作这种方法才能打破成本，体积和需求的恶性循环，同时在每个组件中使用最新的技术。

3. 系统

减小集成电路尺寸的第一步是将集成电路要求的功能减到最少。如上所述，集成电路的大小不能超过0.25平方毫米。除非有一种包含RFID系统各个层次的方法，否则要达到这个目标是不可能的。我们必须采取的第一步是，把尽可能多的功能从集成电路上转移到后端系统上。实际上，这相当于花费固定成本来减少系统的可变成本。从经济学角度，这是有意义的；假使有我们期待的巨大产量，可变成本一定可以降到最低。下面的表格总结出如果我们的赞助商公司选择为他们生产的每件商品添加标签时，将被消耗的标签数量。

终端用户	供应链中需要的标签估计量（十亿）
CHEP	0.2
JOHNSON&JOHNSON consumer goods division	3.0
KIMBERLY CLARK*	10.0
WESTVACO*	10.0
THE GILLETTE COMPANY	11.0
YFY*	15.0
TESCO	15.0
THE PROCTER & GAMBLE COMPANY	20.0

UNILEVER	20.0
PHILIP MORRIS GROUP*	25.0
WAL-MART*	30.0
INTERNATIONAL PAPER	53.0
COCA-COLA*	200.0
总计	412.2
重复计算调整量（15%）	-61.8
United States Postal Service	205.0
包含USPS在内的总计	555.3

这一节我们描述最小化RFID标签功能的软件和算法方案。芯片上的区域有三个主要部分：存储器，逻辑和电源电路。3.1节简要介绍了一份最初在以前的文件(Sarma et. al. 1999)中提出的材料，文件中描述了一个Auto-ID中心设计的软件系统。这个系统减少了芯片上需要的存储器。3.2节我们将描述芯片上的逻辑，以及使它最小化的方法。在3.3节我们讲述电源电路。

3.1. 芯片上的存储器

我们用两个概念定义存储器极限：EPC和ONS。

我们使用一种叫做EPC的编码方案定位我们在网络上存储信息的位置。EPC包括四部分：版本号，管理者号，产品号和标识每一个单独标签的唯一的序列号。标签本身只存储EPC，根据版本号的不同，EPC有64位或96位长。这是我们系统的一个主要原则。通过要求标签上只有EPC，我们实现了两个功能。第一，我们限制了芯片上的存储器，第二，我们把系统的最低要求减小到只读标签。只读存储器的脚本比非易失性存储器小的多。这种方法不限制系统吗？答案是否定的。事实上它能增加关于物体的信息存储量，并使它更安全。我们将在下面解释。

一个叫做对象名解析服务(ONS)的映射服务把EPC映射到一个IP地址，人们可以通过这个地址读或写用户希望存储的关于标签的信息。ONS完全基于域名解析服务(DNS)，DNS是现在用在因特网上的一个非常著名的映射服务，它把一个域名，比如www.mit.edu，映射到一个IP地址，比如18.181.0.31。当ONS指向IP地址时，关于特定EPC的数据被以XML格式存储，并且这些数据可以通过标准方法存取，比如HTTP和SOAP。再定位服务减少了标签上的负担，并且同时达到几个目的。首先，它减少了标签空间和能量的需求量。其次，通过把大量的数据通讯转移到一个更大带宽的后端网络上，节省了宝贵的无线带宽。最后，它使系统更加强壮：尽管在一个坏掉的标签上存储和恢复信息很困难，但廉价地备份数据库是可能的。

3.2 芯片上的逻辑

我们普通芯片的逻辑需要处理的首要问题：读取多个标签。然而这个问题太过复杂以至于在此文章内不可能详细描述，我们只简洁地总结一下要点。当多个标签都在一个解读器的识读区域时，解读器需要把它们反应归入无冲突的频道，这称为标签反冲突。现在有非常多的可用的反冲突算法，每种算法优化了不同调整的和功能的需求。在我们的案例中，标签采用结构化的EPC编码方案，只有两种功能是必需的：迅速读取多个标签的能力，和迅速按位屏蔽确定的版本，厂商或产品号的查询。这样，反冲突方案在最小数量的硅芯片上必须可行。中心及其赞助商公司推广的反冲突方案在尺寸和速度方面最优化。

3.3. 电源电路

最后，集成电路的大小还决定于芯片上的电源电路。这个电路的一个基础元件是电容，它在没有电池的情况下存储能量以使芯片电路工作，我们的方法是将标签的能量需求降到最少，因此，存储能量的电容根本不需要太大。

3. 4. 总结

总之，我们已经设计了一个可以使芯片的尺寸需求减到最小的系统。这是实现5美分标签这一目标的第一步。此外，这个系统还具备很多优点，比如安全性，完整性，快速性和可测量性。接下来的挑战是制造低成本集成电路和低成本标签。

4. 集成电路制造

在上一节中，我们已经描述怎样使集成电路的尺寸减到最小，从而降低硅的成本。集成电路的目标尺寸是边长0.5毫米或者更少。然而，这个目标尺寸却引出了成本控制的新问题。根据摩尔定律，随着时间的增长，包装成本呈指数下降时，如果使用当前可用的商业技术，辅助成本实际上将会降低，并且成为成本预算中的主导部分。辅助成本包括处理成本，测试成本及在切割硅片时浪费的成本(这些长条被称为“切缝”)。我们在这一节中讲述这些问题。

4.1. 集成电路的制造

目前考虑典型的硅集成电路的制造工序是有用的。

4.1.1. 准备晶片

集成电路的制造始于硅锭的生产。硅锭是通过一个硅结晶在一粒“种子”周围成长得到的，“种子”是一种完整的硅元素，成长的硅结晶自己自然排列在元素的周围。现在，硅锭需要直径超过300毫米，几英尺长，几百磅重。然后，硅锭形成并被切成晶片。这些切片的宽度通常在1毫米以内。切割通过两种方法之一完成：用一把圆锯或用金属丝切割。这个阶段的产品是一块晶片：硅上平坦的，圆形的一部分。在电路制造之前，晶片必须经过磨光和处理。这个阶段的各个子步骤是抛光，蚀刻，斜切，双面抛光，化学蚀刻，退火，精细抛光，和湿清洗。这些操作的成果是得到一块表面非常光滑的平滑晶片。

4.1.2. 晶片的制造

晶片的生产使集成电路制造的下一步成为可能：平板印刷阶段。电路通过一系列附加或删减工

序形成。根据附加材料是一种绝缘体、合金元素，还是导体的不同，附加可以用很多方法完成。删减通过把晶片暴露在一种酸、碱或其他腐蚀环境中完成，这通常被称为蚀刻。控制哪个区域正在被加工，已经达到什么过程是通过掩模实现的：把一种光阻材料旋转涂在平滑的晶片上，以覆盖正在形成的电路。光阻材料暴露上面的一个光源发出的一种光线下。这种发光方法是通过让光通过一个被称为遮光板或十字线的光学模板完成的。暴露在光下的区域变硬，光阻材料其余的部分被冲掉。没被光阻材料覆盖的区域现在就可以用附加工序或删减工序处理。一块典型的晶片可能经过几百次这种循环才能形成最终电路。

最后，一旦硅上形成图案，下一步是测试它。通常进行测试有两个原因，第一，保证集成电路能正常工作，第二，实时地监控进程，这样可以立即确定加工问题而不影响生产。测试使用机械探测器连接到电路上的区域，发出测试信号，并验证电路的响应。

人们经常用一些非正式的计量方法描述芯片或用来生产芯片的制造工序的复杂性。一种衡量标准是晶体管的数量，晶体管是芯片中构成硅电路的基本电子管。奔腾III Coppermine芯片有2800万个晶体管。有时候，使用术语“门当量”。门当量的数量大约是晶体管数量的四分之一。通常，工序的复杂性是跟据一种叫做金属层的专门类型的层的数量来表示。典型的大规模集成电路，比如Intel奔腾里的，有好几个金属层。Coppermine有6个金属层。另一个衡量标准是集成电路中最小部件的大小。部件越小，速度越快，能量消耗越少，每个集成电路的成本越低。Coppermine采用台湾半导体制造公司的0.18微米工艺。最后，集成电路的成本与它的面积成正比，Coppermine集成电路自身的面积是106平方毫米。

4.1.3. 包装

测试之后，晶片进入下一步：切片和包装。第一步是芯片的分割。芯片分割之前，先把晶片放在一个带粘性的，像蹦床一样的薄膜上作为支持。然后，在电路板上做出划线。有两种方法。第一种方法，一般用在薄晶片上，称作雕合。用一个钻石镶刃刀具划一条深度大约为晶片厚度三分之一的凹槽。通过把晶片放在一副滚轴之间加压，使晶片沿划线裂开。但是，对于较厚的晶片，这种方法有潜在的问题，裂缝容易扩展进入模块的有效区域内。另一种更新的方法是用一个金刚石锯雕合。这种方法存在需要很宽的切口宽度这个问题。切口的宽度，要用两临近模块离开缺口的距离来度量，在100微米以内。

Figure 3: Wire-bonding beads on the pads of an IC wire-bonding process Wire-bonding: Courtesy: <http://www.eccb.org/pbpps/tg/wirebond.htm>, Bob Thomas, Ph. D., Technology Experts Network

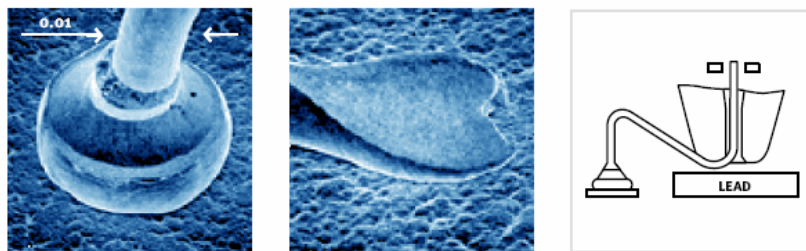


图3 IC线焊工序中底座上线焊的焊缝

分开的模块已准备好包装，机器人使用真空夹盘分离模块。在传统的集成电路中，模块利用向上的电气触点与称作引导框架的框架焊接起来。然后从这些模块上暴露的触点或底座上把电线焊接到包装上的导线(图3)，这些导线连接了硅上的触点和通常是一块印刷电路板的外围电路。除线焊外的另一选择是被共同认为是翻转晶片法的一个技术家族。在这些技术中，制作的模块底座上有突起，可以翻过来并直接连入导线，模块和框架之间的区域充满聚合物或者环氧。

4. 2. 成本多少决定模块的尺寸

上面描述的技术最近几年不断反展以满足传统硅工业的需要。有两个平衡的趋势在起作用。第一，为了满足快速增长的功能需求，集成电路板内部电路的复杂性呈指数级增长。第二，如Intel的创始人Gordon Moore在七十年代预言，在一个给定的区域内能够集成的逻辑门数每18个月就增长一倍。有趣的是，这两个趋势势均力敌；逻辑门大小减小的同时，电路需要的逻辑门的数量在增长。这个平衡的结果是，大多数应用中集成电路的尺寸最近几年有效的保持不变。以奔腾为例，从老的奔腾III升级到新的Coppermine版本时，线宽度从0.25毫米降到0.18毫米，金属层的数量从5变为6。如果功能保持不变，芯片的大小应该会减少超过50%。然而，Coppermine只减少了15%。这是因为为了满足PC消费者的需求，晶体管的数量几乎是以前的3倍。

这种平衡效应有效的隐藏了Moore趋势的一个例外。当IC变小，切片成本和处理成本与大小不成比例。实际上这些成本仍然不变，或者在每个IC的基础上增加。然而，根据我们第二节中的讨论，我们意识到，这正好是RFID提出的挑战。与其他电路不同的是，我们寻求减少功能以使IC的尺寸最小，而不是增加功能。我们将在下面解释这些隐藏成本。

Figure 4

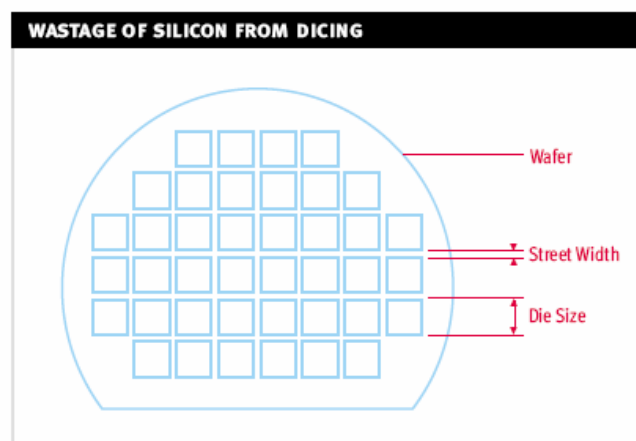


图4 切片过程中硅的损耗

Wafer 晶片

Street width 切缝宽度

Die size 模块大小

切片过程中硅的损耗

如4.1.3节中描述的，通常用金刚石锯把晶片切割成模块，切割形成的切缝有100微米宽(图4)。不幸的是，模块越小，原始硅浪费在切缝上的百分比越大。例如，如果模块边长100微米，晶片的75%将被浪费，这种状况有效的阻止了将晶片切割成更小模块的意图。解决这个问题的唯一方法是最终取消金刚石锯切割，这有利于其他的产生更小切缝的模块切割技术形成。

模块测试

如果晶片边长大约500毫米，当模块的数量增加到我们预想的程度时，测试成本可能开始上升。测试已经给晶片成本增加了500美元。测试仪器每小时花费500美元，如果要求每小时测试60,000块模块，则一秒种需要进行大约一千次测试。这是一个十分苛刻的要求，可能阻碍我们实现低成本集成电路所作的努力。随后，我们检查采取测试的原因，并提出一个基本的方法。

加工成本

为什么处理成本与硅的成本不是必要的比例关系，有两个原因. 第一个原因是，机器人用在从

晶片上分拣模块并把它放在一个搬运器上的时间，不依赖于晶片的尺寸。毕竟，模块的重量不是这个工序的主导因素或限制因素——机器人自身的大小才限制这个工序。第二，当模块变小，真空夹盘设备要求的精度实际上可能增加。夹盘的未对准可能导致一个模块被以菱形模式夹起，也就是一个角伸入到真空夹盘中。越小的模块需要越高的精度，除非精细的设计，否则越精密的机器人成本越高。目前，实际情况是购买现成的机器，把RFID硬塞进现有的集成电路制造设备中，这并不是最好的方法。幸运的是，更好的加工技术已经发明，因为有更多经济的组装系统，我们将在以后描述。

模块连接成本

线焊技术与IC中底座的数量成比例关系，RFID芯片只需要两个底座。线焊如果能够正确的设计，将是RFID的一个潜在的有效工序。然而现在面临的挑战是产量的要求，为了满足批量生产的需要，RFID将可能要求辊对辊制造。标准线焊与尺寸不成很好的比例关系，因为每个平行的进行操作的站点都需要一个独立的线焊头。翻转芯片技术已经在RFID系统中得到了更大的应用。然而，翻转芯片技术需要昂贵的传导连接，和经常的、长时间的热处理。所以，两种技术都不可能直接用于RFID。然而，正如我们将在以后描述的，这些工序的改进版本可能满足我们的要求。

总结

总之，谨记RFID与标准的集成电路不同这个事实很重要。把RFID“硬塞”进现有的生产流程不是最好的办法，而且现在的RFID系统相对昂贵并不是令人惊奇的事情。传统的智能方法很大程度上取决于目前硅工业采用的传统规则。利用RFID技术的独特特征作为优点建立一个新系统，而不把他们看作障碍是有利的。RFID集成电路的主要不同特征是：

- 1) 它们体积很小，在500微米×500微米以内；
- 2) 它们只有两个底座；
- 3) 他们应该很薄，以允许做成很好的包装交给消费者。

5. 低成本 RFID

这一节我们描述可选的用以减少RFID芯片成本的技术手段，同时考虑到第4节中描述的赞成和反对两方面的意见。我们将依次讲述降低成本面临的挑战——有效切薄，切片，模块加工，和电气连接。也简要描述天线制造和包装。

5. 1. 模块测试

如前面解释的，执行测试有两个原因：

1. 监控并调整工序；
2. 检验芯片是否工作

监控功能通过测试模块上一小部分实现，这一部分实际上是成本因素中相对便宜的部分。功能验证却要求进行全面的整体测试。我们的解决方案很简单：取消全面测试。取而代之的是，在RFID生产出来以后进行无线测试。这么做的基本原因是由于机械原因。目前的测试是在一个机械运动系统末端使用探测器，当模块的数量非常大时，这个机械运动可能是产量方面的瓶颈。RFID中方便可用的无线测试，消除了这个问题。因为我们正在设计的RFID芯片非常简单，工序经过调整后，产量有增加的趋势。另外，当EPC码的分配连续时，我们发明的反冲突方案反应会非常迅速。期望的读取速度在几百个每秒左右。此外，测试仪器的成本将会非常低。

出现的另一个问题是测试应该进行的地点：是在标签生产商的位置，还是在最后包装和转化的位置。我们推荐测试应该在最后的包装阶段进行。如果标签是一次写入多次读出(WORM)，EPC码实际上将在最后的包装阶段写入，当标签完成时测试最有效。加工工序为：标签到达设备的辊轴，辊

轴背面有粘合剂；在应用之前，分离标签并写入EPC；然后测试标签，如果有错则废弃；最后，如果标签正常工作，它可以应用在包装上。写入和测试设备不可能很贵，废弃有错标签的设备也很简单，这就可以产生显著的总体成本的节约。

5. 2. 窄切缝和薄晶片

最近几年几种新的晶片处理技术已经出现，并且可以带给RFID巨大的利益。在与生产的结合过程中，它们使集成电路更薄，使切缝更窄。薄晶片产生薄的集成电路，同时使RFID标签的包装更简单。更小的切缝导致硅的更少浪费，因此成本更低。

首先，我们来看切薄。术语叫做背面抛光，或背面磨光，是指在晶片的背面切除原料。随着磨光技术的发展，化学机械抛光和晶片加工使薄晶片比以前更便宜成为可能。工艺流程如下：在晶片制作完成后，晶片的活跃面被覆盖上一条或一层聚合体；然后把晶片翻转，使背面朝上；如果希望得到的晶片厚度小于100微米，必须用双面胶或粘合剂把晶片装在一个支架上以防止弯曲；对150毫米厚的晶片，磨光后的厚度变化可以在0.5到2微米之内；然后采取化学抛光步骤或蚀刻步骤对底层表面完成机械抛光；这最后一步很好的完成了抛光，而在晶片上不嵌入残留的应力，并且使非常薄的晶片不产生弯曲。现在晶片可以切薄到几十微米，许多出版物都有关于晶片切薄的更多信息，比如(Müller et. al.00)和(Hazeldine 01)。

现在来考虑蚀刻。在传统的潮湿蚀刻中，控制蚀刻方向和得到窄且深的沟道通常是困难的。干燥蚀刻技术，例如活性离子蚀刻和喷溅蚀刻，容许更深，更锋利的蚀刻。实际上深度活性离子蚀刻工序可以使表面比率达到50：1，(Rosnagel 90)中提供了蚀刻方面详尽的背景。最近潮湿蚀刻也有了显著进步。例如，三菱(MITSUBISHI)报道了潮湿蚀刻中的表面比率为60：1。近年来蚀刻的成本也显著的降低了，使其大规模的应用更为经济。现在要问的问题是：深度蚀刻能否用来分割模块并产生很窄的切缝？回答是“能”。

通过结合晶片切薄和蚀刻技术，今天从晶片上分割模块并使切缝宽度很小已经成为可能。利用这个技术达到的切缝宽度小到5微米，而不是传统锯切技术需要的100微米(Landsberger et. al. 01)。工艺流程如下：首先利用干燥或潮湿蚀刻在晶片的正面上产生深的凹槽；然后把晶片翻转；最后仅通过一个化学机械抛光步骤就完成模块分割。这个方法不仅产生窄的切缝，而且还有其他的优点：

1. 它允许成本有效的模块分割，因为它是一个质量分离过程；
2. 它产生更小的切缝，因而能制造更高质量的模块。

5. 3. 模块的组装和连接

一旦模块制造出来以后，它们必须被准确的固定在一个基底上。在集成电路工业中，这分为两个阶段。首先，把模块置于一个引导支架上。然后，把引导支架放入包装中，然后把它组装到印刷电路板上。RFID 通常也是类似的制造。典型的模块是固定在一小块底片上，这个底片连接模块的底座和底片上更大的电气触点。这些底片被分别称为插片，条带或托架。然后把这些插片与天线连接起来，产生“入口”。然后，入口转化为包装。第一步最困难，因为它要求更高的精密度和速度。如果能把集成电路廉价和迅速的置于一卷插片之上，那么，第二阶段类似的可以通过一个轴到轴过程实现。轴到轴处理对于廉价 RFID 生产是一个关键。实际上有几种可行的办法，我们将在下面讲述。

5. 3. 1. 流体组装

1995 年, 伯克利大学的研究者提出了一项叫做流体自组装 (FSA) 的有力的新技术, 就是为了把很小的集成电路组装到基底上 (Verma et.al.95, Chiang oo.). 在最近几年, 一家声称 RFID 插片的轴到轴生产存在可行性的公司 Allen Technology 创造了这项技术。这个方法如下: 晶片制造完成后, 用晶片稀释的办法使模块分离, 随后是蚀刻。通过蚀刻使模块成为不规则四边形—被 Allen Technology 公司称为 Nanoblock™。基底上同时也刻出相应的不规则四边形凹洞。把模块悬浮在一种液体里, 通常是酒精溶剂, 然后模块流进基底上的凹洞里。这道工序保证了高产量和低成本, 重要的是, 可以达到巨大的容量。也许最值得注意的是, 这个轴到轴模式的工序是实现低成本标签非常重要的一步。最近, Allen Technology 已经实施了一个实验性计划, 用来在此技术基础上开发专用的 RFID 制造设备。

一旦模块已经就位, 与插片上导线的连接可以采用从平板印刷术到丝网印刷术的各种各样的技术。Allen Technology 和 Auto-ID 中心的其他赞助商正在围绕此技术展开新的研究。

5. 3. 2. 拾置组装

象流体组装技术这样的新加工方法有巨大的发展前景。然而, 我们必须注意到虽然拾置设备在商业性上是可行的, 却可能不能满足 RFID 的产量要求, 而为 RFID 专门设计的拾置设备可能很好的满足产量要求。主要原因是因为 RFID 集成电路只有两个电气触点, 拾置和互连操作可以合并成一步, 在一个轴到轴配置中操作。与传统集成电路不同的是, 模块焊接这多余的一步在 RFID 中不需要。我们可以研制具有这些优点的设备。例如, 用一个真空夹盘把集成电路从背面拾起, 置于插片的内部导线上, 粘贴和电气接触可通过利用一种导电聚合胶或一些其他连接的跳转芯片模式完成。内部导线自身可以被固定在一个金属支架上, 也可以跨在轴上。这个系统只需要相对便宜的设备, 并且可以很有潜力的提供大规模, 低成本制造需要的产量。一旦把集成电路固定在这卷支架上, 用一种可升级的方法完成其他工序是可能的。

5. 3. 3. 振动组装

在 MIT, 我们正在开发一种纯振动方式把集成电路传送到基底上。基于振动碗状进给器的原理, 系统被设计成“按要求分配芯片”的分配器。我们用 300HZ 的振动使芯片偏离轨道, 用制动器整理, 定位, 校直芯片。当需要一卷基底材料时, 我们采用一个更高要求的脉冲传送芯片。此系统目前是雏形阶段。只要模块被传送, 模块和插片的互连可以通过一些和流体的组装法中类似的方法完成。

5. 3. 4. 晶片上的处理

最近出现的另一个非常有趣的加工方法是, 直接在晶片上做绝大部分的处理 (Plettner 2001)。在 Fraunhofer 研究所和 FlexChip AG, 除了开发如前所述的切薄和切割专业技术, 工作重点集中在取消模块被分离后必须采取的大部分处理工作。结果是从单一芯片处理到批处理的转变, 目的就是减少工作时间, 降低成本。这些工序的目标是生产非常可靠的成品智能标签, 使它们具有倒装晶片的固有物理和电气优点。一个方法是采用连接单元或内部导线, 当模块还在晶片上时就用倒装晶片生产方法直接把接触元件或内部导线固定在模板上。这些导线可以有效的作为插片使用, 并且可以指望他们把大规模集成电路集成到 RFID 包装中。我们采用一些包括如前所述的丝网印刷术在内的

技术把模块固定到内部导线上，下面的图 5 和图 6 分别显示了聚合物接触和选片形式。

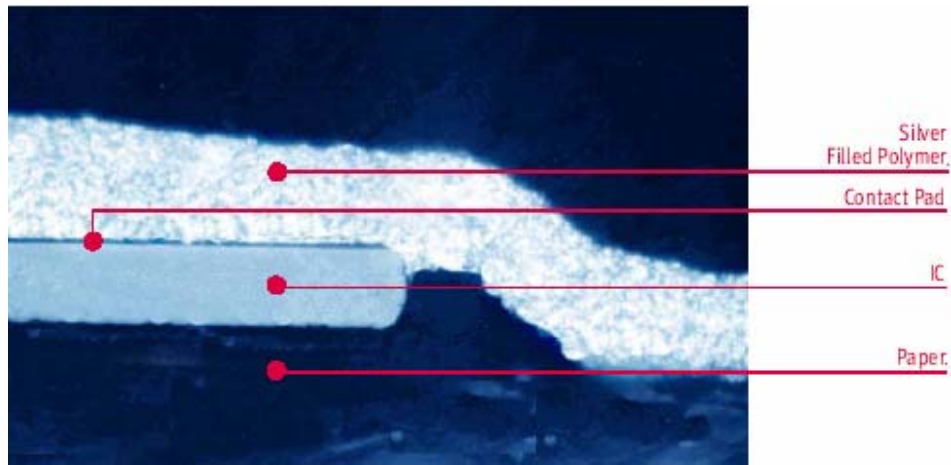


图5：切薄片与聚合物的接触

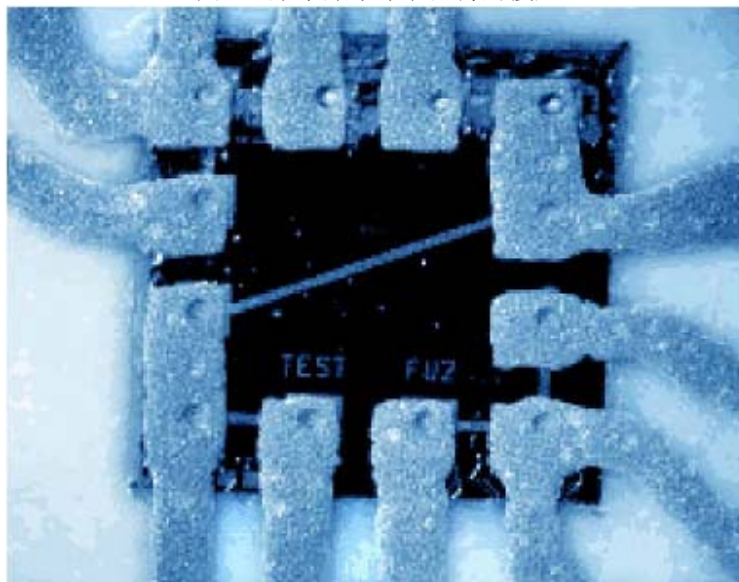


图6：选片

倒装芯片技术经常面临的一个问题是导电聚合物的成本。今天，这些材料本身达到 0.5 美分每底片。然而，这些技术通常是在小产量和高利润前提下计算的。我们估计可以通过增大产量以显著的减少成本。另外，今天的一些公司提供比传统销售商 (Estes 01) 明显便宜的导电聚合物。

5. 4. 天线的制造和安装

RFID 天线一般是由弯曲的带覆盖层的 300 微米的电线制成。然后把线圈直接焊接到插片上 (Finkenzeller 99)。这种工艺适用于小批量生产，而且成本约束不很重要时可以采用，但是并不适应高产量生产。

因此几种可选择的技术已经被提出并开发。这包括导电油墨/粘贴剂印刷，铜线蚀刻，金属天线卷起和其他附加工序 (Lindstrom 01)。在成本和质量之间必须作出妥协。例如，在高频情况下，质量因素要求比较低，天线的制造就更灵活。在低频情况下，导电性和质量都要求比较高。不幸的是，在这一点上，很多的研究是脱离公共领域的。然而，对 Auto-ID 中心赞助商公司正在开发的技

术的分析使我们相信，天线制造的成本目标是能实现的。

5. 5. 结论

传统的硅制造技术必然不能满足产品级的 RFID 标签需要的大产量和低成本要求。最近几年，看起来许多发明和革新在没有被 RFID 工业注意的情况下有了很大发展。然而，通过与恰当的网络应用和基于数据概念的结合，这些技术为低成本标签的实现开辟了一条新道路。

6. 需求增加问题

Auto-ID 中心的一个基本目标是制造 5 美分的 RFID 标签，并且要领导第一个产品原型的开发，这个产品原型大小适中，将会满足成本要求。然而，我们必须知道满足成本要求并不能保证立即生产大批量的 5 美分标签。RFID 标签和需求之间的经济现象很有趣。今天，标签成本是 50 美分或更多，整个世界范围内对这种标签的需求量估计是每年 4 亿个。标签成本 5 美分时，我们的研究显示总需求量将会成爆炸式的增长。在大约 1 美分时，RFID 标签的需求量将和条码等同。因此，5 美分标签目标的实现将很可能产生一个迄今不为 RFID 业界所知道的问题：产品容量极限。

以 UCC/EAN 条码为例，目前，每天全世界有 50 亿的条码被检测。如果中心的赞助商今天决定给他们制造的每件商品帖上标签，仅仅赞助商中集成电路的需求量将会达到每天几亿个。相对而言，全世界对硅晶片制造的需求量将是惊人的。现在，每天的需求量是 1.5×10^5 块 200 微米的等价晶片 (SemiChip 01)。增长率是 10-15% 每年，如下图所示。即使产量很大，这也相当于每天要生产大约三十亿到四十亿个标签。很明显，如果应用非常广的话，全世界需求量中很大一部分将是必须满足需求的。

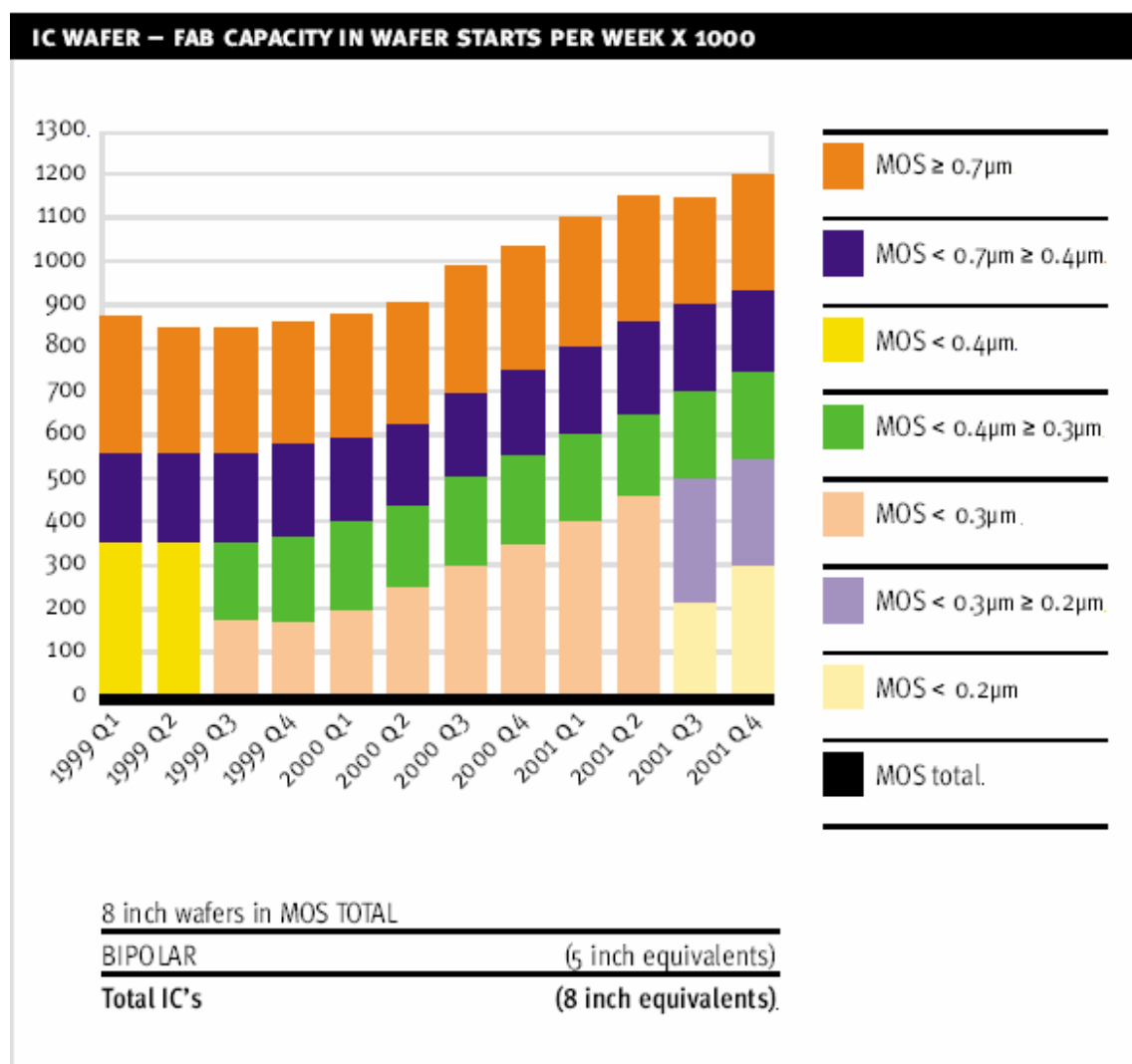


图 7

注意：图表中所有的数据都是按 8 英寸等价晶片表示的。表中“IC 总和”一栏包括“双极型”数据。这些数据是以此为目的，利用系数 0.391 把 5 英寸等价晶片转化为 8 英寸等价晶片的。

另一个问题是渐进增长的斜度。为了大批量制造标签，我们需要研究新的制造方法，制造新的设备，产生新的供应商。这个过程也将把大批量生产 RFID 标签的可行性推后几年。作为说明，我们在下一页讲述 Allen Technology 提出了斜率。

为了最好的阐明了斜度和缩放比例的问题，Auto-ID 委员会正在致力于作出一张实用的轨迹图。关键点是一个原型芯片不能自动保证芯片具有很强的实用性。容量极限和价格弹性问题将最有可能出现，并且使产品推广至少推后几年。尽管如此，在这一点上，Auto-ID 中心仍然集中精力实现制造 5 美分 RFID 标签的原型这一独立于商业因素之外的目标。商业化和价格问题最好由卖方团体解决。

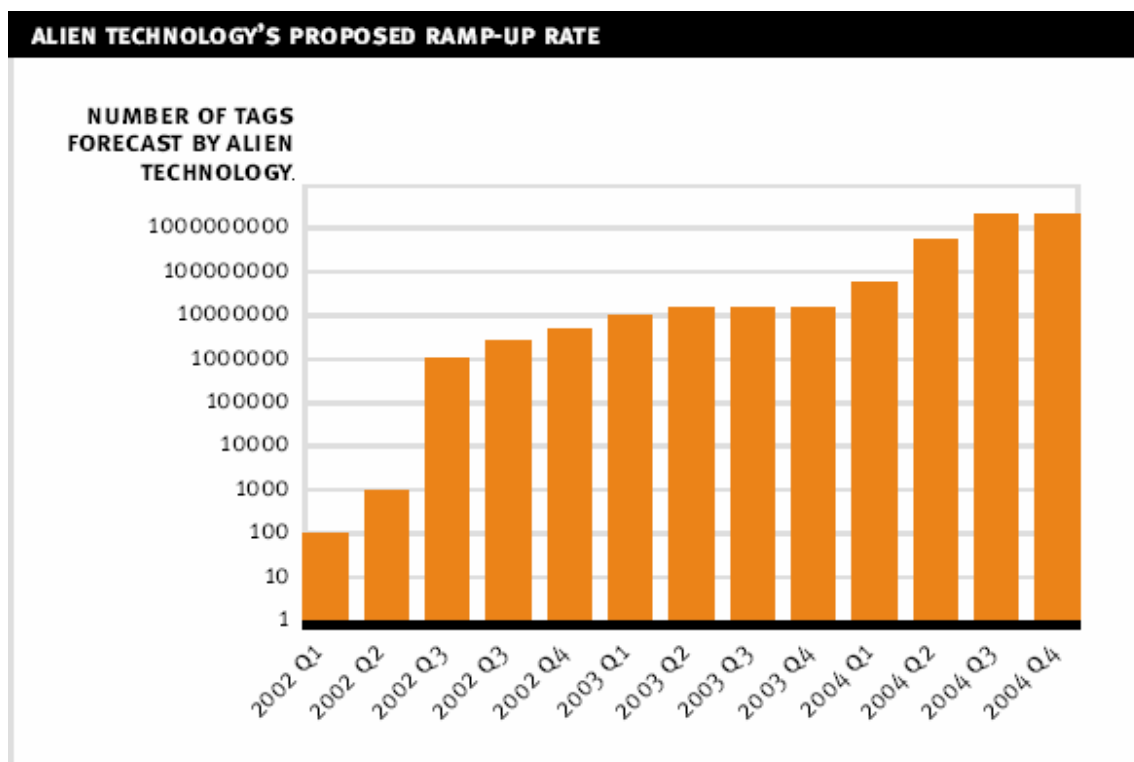


图 8 Allen Technology 做出的预测和他们提出的渐进增长斜率

7. 结论

Auto-ID 中心的研究者们相信，5 美分标签这个目标虽然困难但可以实现。关键是仅仅按照现有的硅制造技术去提高产量的话，目标则不可能实现。只有认识到 RFID 标签与传统 IC 的不同，才可能达到 5 美分标签这一目标。中心及其赞助商已经集中了一系列新技术方法，并且承诺在 12 个月之内生产出 5 美分标签的原型。

8. 鸣谢

我们感谢以下对这本白皮书作出贡献的人：Timo Lindstrom, Rafsec Oy.; Jeffrey Jacobsen, Alien Technology; Roger Stewart, Alien Technology and Andreas Plettner, FlexChip AG.

9. 参考文献

(Müller et. al. 00)

1. J. Müller, P. Stampka, W. Krüger, E. Gaulhofer, H. Oyrer: “Smart Card Assembly Requires Advanced Pre-Assembly Methods”

Semiconductor International, 2000.

(Hazeldine 01)

2. T. Hazeldine: “Back Lapping Semiconductor Wafers”

ULTRA TEC Manufacturing, (http://www.ceramicindustry.com/CDA/ArticleInformation/features/BNP_Features_Item/0,2710,21383,00.html)

(MEMSNET)

3. http://www.ceramicindustry.com/CDA/ArticleInformation/features/BNP_Features_Item/0,2710,21383,00.html

(MITSUBISHI)

4. http://www.mitsubishielectric.com/r_and_d/tech_showcase/ts_c_1.php

(Landsberger et. al. 01)

5. C. Landesberger, S. Scherbaum, G. Schwinn, H. Spörle: “New Process Scheme for Wafer Thinning and Stress-free Separation of Ultra Thin IC’s,”

Proceedings of Microsystems Technologies 2001, Mesago, Stuttgart, pp. 43 - 436, 2001.

(Lindstrom 01)

6. T. Lindstrom: President & CEO, Rafsec Corporation, Personal Conversation

September 2001.

(Plettner 01)

7. A. Plettner: FlexChip AG. Personal Conversation

June 2001.

(Verma et. al. 95)

8. A. Verma, M. Hadley, H. Yeh and J. Smith: “Fluidic Self-Assembly of Silicon Microstructures”

0569-5503/95/0000-1263, IEEE. 1995.

(Alien 01)

9. White Paper. Alien Technology Corporation. 2001.

(Sarma et. al. 99)

10. S. Sarma, K. Ashton, D. Brock: “The Networked Physical World”

Auto-ID White Paper MIT-AUTOID -WH-001, 1999. Available at

<http://www.autoidcenter.org/research/MIT-AUTOID-WH-001.pdf>.

(Finkenzeller 99)

11. K. Finkenzeller: RFID Handbook

John Wiley & Sons. 1999.

(Chiang 00)

12. A. Chiang: “Application of Fluidic Self Assembly Technology to Flat Panel Displays”

IDW 00, Paper AMD3-1, November 2000.

(Jacobsen 01)

13. J. Jacobsen: Personal Conversation, June 2001.

(Rossnagel 90)

14. Stephen M. Rossnagel, Jerome J. Cuomo, William D. Westwood (Editors): Handbook of Plasma Processing Technology : Fundamentals, Etching, Deposition, and Surface Interactions,

Materials Science and Process Technology. 1990.

(Semichips 01)

15. Available at <http://www.semichips.org/stats>

(Sharp 01)

16. K. Sharp: “RFID Goes Mainstream”

Supply Chain Systems Magazine, January 2001.

(Feil et. al. 01)

17. M. Feil, C. Adler, G. Klink & M. Klig: “Interconnection Techniques for Ultra Thin ICs and MEMS Elements”

Proceedings of Microsystems Technologies 2001, Mesago, Stuttgart, pp. 437 – 442, 2001.